

**COMPONENTES PARA CIRCUITOS INTEGRADOS CMOS  
COM CONDENSADORES COMUTADOS**

R.Martins<sup>1</sup>, J.Franca<sup>1</sup>, C.Leme<sup>1</sup>, J.Vital<sup>1</sup>, F.Maloberti<sup>2</sup>

- 1- Centro de Electrónica Aplicada da Universidade Técnica de Lisboa e Departamento de Engenharia Electrotécnica e de Computadores do Instituto Superior Técnico, Lisboa.  
2- Dipartimento di Elettronica, Università degli Studi di Pavia, Pavia, Itália.

**Abstract**

Switched-Capacitor (SC) circuits play an important role in many analogue signal processing applications and are particularly attractive for Very Large Scale Integration (VLSI). This paper describes the design and Integrated Circuit (IC) implementation of basic SC circuit components, such as Operational Amplifiers (OA's), analogue transmission gates, a voltage comparator and high precision capacitor arrays. The IC implementation of these components has been realised using 3 µm and 1.5 µm analogue CMOS technologies.

**Sumário**

Os circuitos e sistemas com condensadores comutados desempenham um importante papel em muitas aplicações de processamento de sinal analógico, sendo particularmente atractiva a sua utilização em sistemas de integração em muito larga escala (VLSI). Este artigo descreve o projecto e realização em circuito integrado dos componentes básicos de circuitos com condensadores comutados, tais como amplificadores operacionais, portas de transmissão analógicas, um comparador de tensão e agregados de condensadores de elevada precisão. A implementação em circuito integrado monolítico deste tipo de componentes foi realizada com tecnologias analógicas CMOS de 3 µm e 1.5 µm.

**1. INTRODUÇÃO.**

Nos últimos anos tem-se assistido a uma evolução constante das técnicas de realização de circuitos integrados monolíticos, que permitem a integração de sistemas cada vez mais complexos [1,2]. Os sistemas digitais, não exigindo características dos dispositivos muito precisas, são facilmente integráveis e têm progredido rapidamente. Os sistemas analógicos, exigindo uma maior precisão das características dos dispositivos, têm tido uma evolução mais lenta, conseguida através de avanços feitos nas técnicas de projecto dos circuitos e no refinamento dos processos de fabrico dos circuitos integrados.

Até há pouco tempo, os sistemas electrónicos eram geralmente implementados utilizando componentes analógicos fabricados em tecnologia bipolar, para a realização das partes analógicas, e dispositivos MOS-LSI para a realização das partes digitais. À medida que foram sendo atingidos níveis cada vez mais altos de integração (LSI e VLSI), a utilização de circuitos integrados analógicos e digitais distintos tornou-se complicada e cara. Surge assim, a motivação para o fabrico das partes analógica e digital no mesmo circuito integrado e com a mesma tecnologia. Dado que as tecnologias LSI e VLSI utilizadas até agora são a NMOS e CMOS, tradicionalmente digitais, tornou-se necessária a realização de funções analógicas usando também estas tecnologias.

Os circuitos com condensadores comutados constituem uma das técnicas preferenciais para a realização de circuitos integrados analógicos ou mistos analógicos-digitais. A importância destes circuitos resulta do facto de serem compatíveis com as tecnologias microelectrónicas NMOS e CMOS para a realização de circuitos VLSI, permitindo deste modo a implementação num único circuito integrado de sistemas complexos de processamento de sinal que contenham simultaneamente funções analógicas e digitais [3,4]. A esta fácil capacidade de integração encontram-se

associadas a possibilidade de realização de funções de processamento de sinal de elevada qualidade e ainda a implementação de funções analógicas com a versatilidade de programação típica dos circuitos digitais. A elevada qualidade destes circuitos advém do facto de os seus parâmetros essenciais serem determinados por sinais de relógio extremamente precisos e por relações de capacidades definidas por processos geométricos e litográficos igualmente de grande precisão.

Os transistores e condensadores constituem os elementos básicos da tecnologia de circuitos com condensadores comutados, podendo um circuito integrado analógico conter, tipicamente, de poucas dezenas a várias dezenas ou mesmo centenas de milhar de transistores e igualmente um número bastante elevado de condensadores. Os Amplificadores Operacionais (AO's), comparadores de tensão, portas de transmissão analógicas e agregados de condensadores constituem alguns dos componentes de circuito que podem ser realizados através do agrupamento de elementos básicos. Estes componentes de circuito agrupados de acordo com determinado objectivo dão origem aos circuitos básicos que poderão ser utilizados em aplicações lineares de filtragem, decimação e interpolação (se forem constituídos por amplificadores operacionais, portas de transmissão analógicas e condensadores) [5,8], ou ainda em aplicações não-lineares de rectificação, modulação e conversão de sinal A/D e D/A (se possuírem comparadores de tensão, fontes de tensão de referência, condensadores e agregados de condensadores) [9,10]. Finalmente, os sistemas de processamento de sinal com condensadores comutados são constituídos por diversos circuitos básicos de acordo com as características exigidas em cada aplicação [11,12].

**2. AMPLIFICADORES OPERACIONAIS.**

O amplificador operacional é um dos componentes mais importantes dos circuitos com condensadores comutados. Deve possuir ganho elevado, com acoplamento em corrente contínua e com resposta em frequência controlada, quando necessário, através dum circuito de realimentação. Considerado o circuito analógico linear básico, o AO é usado numa grande variedade de funções lineares, e por vezes algumas não-lineares. As características do AO ideal são: ganho DC infinito, impedância de entrada infinita e impedância de saída nula. Embora os AO's reais não possuam estas características, o seu ganho em baixa frequência é ainda bastante elevado, de tal modo que na maioria das aplicações o comportamento do circuito real se aproxima do AO ideal.

Estrutura e Implementação Tradicionais: A estrutura básica e a implementação tradicional de um AO realizado com tecnologia CMOS, encontram-se representadas nas Figs.1-a,b. O andar de ganho diferencial, também designado por diferencial, tem como objectivos principais a obtenção de ganho e impedância de entrada diferenciais elevados e ainda a conversão de entrada diferencial-saída simples (com um dos terminais à massa) que permita o correcto acoplamento ao andar seguinte. O ganho de tensão diferencial deste andar é dado por

$$G_{DIF} = - g_m R_o \quad (1)$$

em que

$$g_m = 2 \sqrt{K (I_o/2) (1+\lambda V_{DS})} \quad (2)$$

$$R_o = \frac{1 + \lambda V_{DS}}{\lambda (I_D/2)} \quad (3)$$

sendo  $\lambda$  um parâmetro relacionado com a modulação do comprimento de canal dos transistores MOS e em que

$$K = \frac{(\mu_0 C_{ox})}{2} \left( \frac{W}{L} \right) \quad (4)$$

é uma constante relacionada com a geometria e as características desses mesmos transistores. Na expressão anterior,  $\mu_0$  representa a mobilidade superficial média dos electrões no canal,  $C_{ox}$  é a capacidade do óxido por unidade de área e  $(W/L)$  descreve a geometria (Largura/Comprimento) do canal dos transistores MOS [1,3,13]. O andar de ganho habitualmente constituído por um circuito inversor, como se representa igualmente na Fig.1-b, deve permitir a obtenção do ganho elevado necessário ao correcto funcionamento do AO. Para reforçar o ganho dos andares inversores é vulgar utilizarem-se transistores compostos em montagem "Cascode", tal como se apresenta na Fig.2. Neste caso o ganho vem dado por

$$G_{T-CAS} = -g_{m1} R_{o2} (1 + g_{m2} R_{o1}) \quad (5)$$

em que o factor multiplicativo  $(1 + g_{m2} R_{o1})$  resulta da configuração "Cascode" utilizada. A malha de compensação presente igualmente na Fig.1, pode ser constituída por um simples condensador ou por uma resistência (simulada por um transistor MOS) em série com um condensador, de modo a tornar o AO uma estrutura de pólo dominante cuja resposta em frequência se deve apresentar como na Fig.3 [13]. Se o andar de ganho for uma montagem "Cascode" a impedância de saída será muito elevada pelo que o AO é compensado apenas com a colocação de um condensador na saída ( $C_L$ ). Neste caso o pólo dominante de baixa frequência será dado por

$$F_p = \frac{1}{2 \pi R_o C_L} \quad (6)$$

onde resulta igualmente um produto ganho-largura de banda elevado que permite aplicações em alta frequência. Devido ao nó de saída do andar de ganho ser um ponto de alta impedância será necessário, em algumas aplicações com cargas de valor elevado, a colocação de um andar adicional de saída que actuará como circuito tampão e que poderá ser constituído por um simples seguidor de tensão, como também se pode verificar na Fig.1.

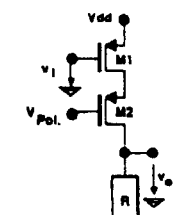
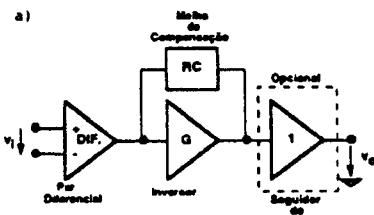


Fig.2 - Circuito Inversor "Cascode" CMOS.

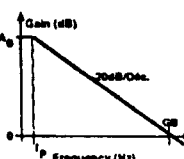
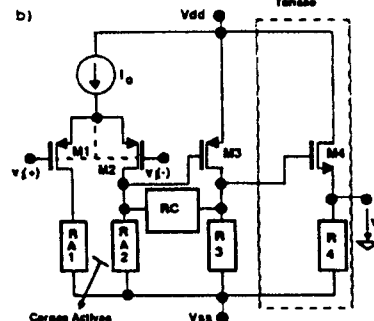


Fig.3 - Resposta em frequência do AO com pólo dominante.

Fig.1 - Amplificador Operacional CMOS tradicional.  
a - Estrutura (Diagrama de Blocos Funcional).  
b - Implementação em termos de circuito (Póço do tipo p - 3µm).

**AO's para Utilização em Alta Frequência:** Os circuitos com condensadores comutados, possuindo apenas cargas puramente capacitivas permitem a utilização de AO's com elevada impedância de saída pelo que se torna possível projectar AO's com um único andar em tecnologia CMOS com ganho e largura de banda bastante elevados. Um AO deste tipo é designado por "Folded Cascode" e é constituído por um andar diferencial e um andar de ganho "Cascode" que do ponto

de vista incremental se comportam como um único andar. Este tipo de AO possui um produto ganho-largura de banda bastante elevado e de igual modo a sua alta impedância de saída impõe um pólo dominante a muito baixa frequência como em (6). As estruturas de dois AO's deste tipo designados por OP-1 e OP-2 encontram-se representadas nas Figs. 4 e 5, respectivamente. Além do andar diferencial e "andar Cascode" estão ainda representados os diferentes circuitos de polarização que são essencialmente "espelhos de corrente" e fontes de tensão de referência [13]. Estes AO's foram realizados com diferentes tecnologias CMOS (OP-1-3µm, OP-2-1.5µm) e as suas características obtidas por simulação em computador [14] encontram-se na Tabela-1. De modo a aumentar ainda mais o ganho de tensão DC do AO foram colocados transistores adicionais no "andar de ganho Cascode" de OP-2, que pode ser visto como um "andar de ganho Cascode triplo". Deste modo conseguem-se aumentos significativos de ganho e largura de banda (OP-1-70dB,7MHz e OP-2-90dB,20MHz). Outro tipo de estrutura de AO baseado apenas num inversor "Cascode" e apresentado na Fig.6, sendo designado por OP-3. As suas características são igualmente dadas na Tabela 1. Este AO apresenta um ganho de tensão DC relativamente baixo (40 dB) mas uma largura de banda muito elevada (90 MHz) com um tempo de estabelecimento ("settling time") perto dos 50ns, o que o torna bastante rápido e adequado para aplicações de alta frequência pouco sensíveis ao valor do ganho [8]. Na Fig.7 são apresentadas as simulações em computador [14] da resposta em frequência, resposta a um escalão unitário e característica de transferência de tensão destes amplificadores. As implantações em circuito integrado CMOS destes AO's encontram-se representadas nas Figs.8-a,b,c [15].

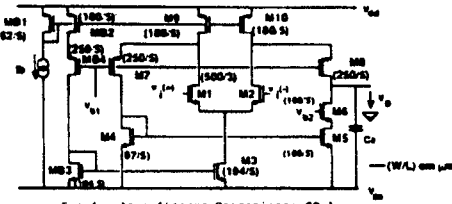


Fig.4 - Amplificador Operacional OP-1 (Póço do tipo p - 3µm).

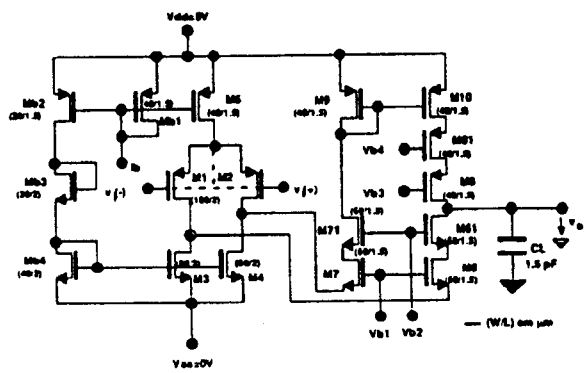


Fig.5 - Amplificador Operacional OP-2 (Póço do tipo n - 1.5µm).

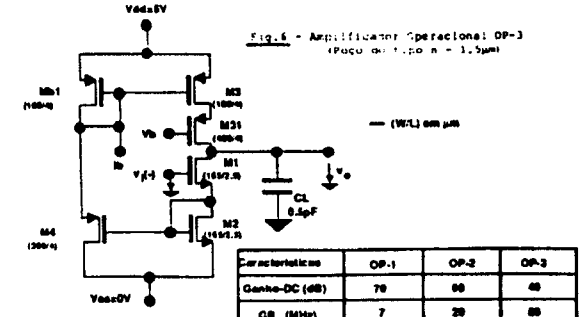
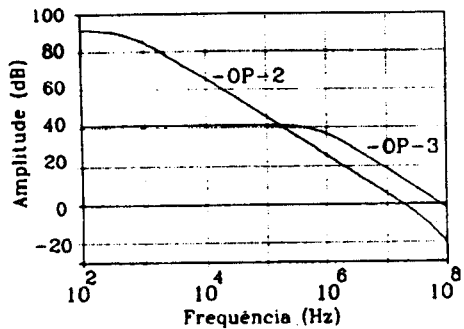
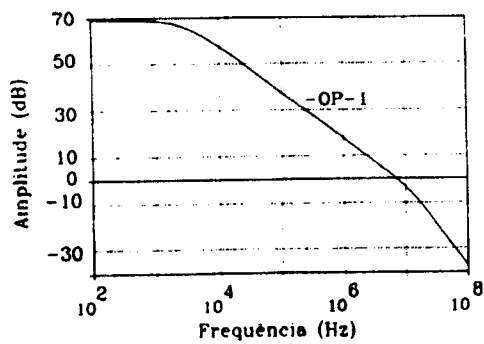


Fig.6 - Amplificador Operacional OP-3 (Póço do tipo n - 1.5µm).

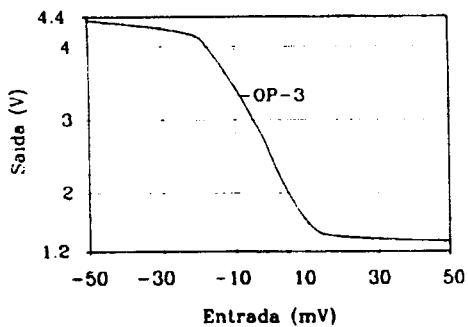
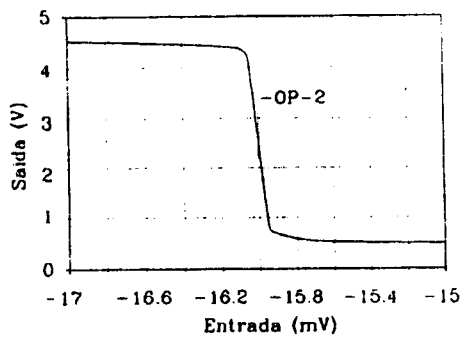
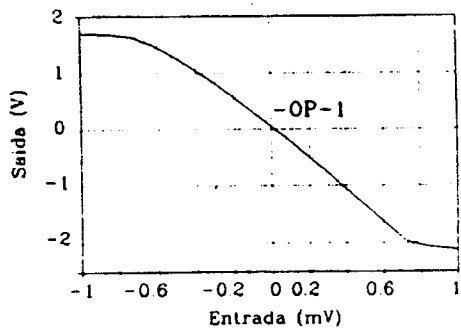
Tabela 1 - Características Simuladas dos AO's (OP-1, OP-2, OP-3).

Características	OP-1	OP-2	OP-3
Ganho-DC (dB)	70	90	40
GB (MHz)	7	20	90
Margem de Fase (°)	60	66	—
Tempo de Estabelecimento (ns)	230	88	99
Tensão de Operação (mV)	20	16	—
Cons. de Potência (mW)	0.67	0.76	2.4
Área CI (µm²)	260x300	126x160	140x140

Resposta em frequência



Característica de transferência de tensão



Resposta ao escalão unitário

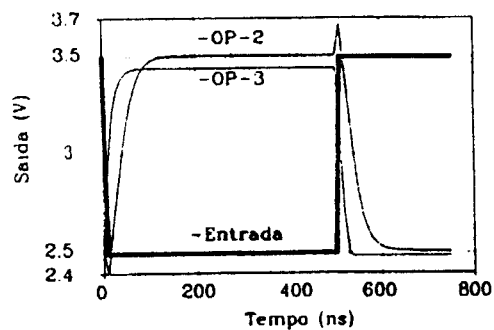
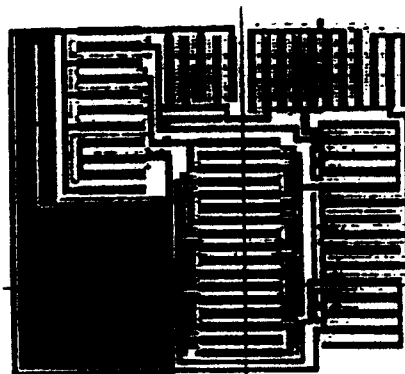
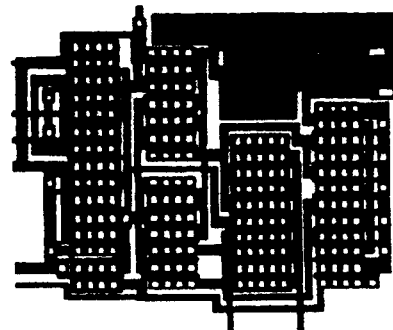


Fig.7 - Características simuladas dos AO's. Resposta em frequência, Característica de transferência de tensão, Resposta ao escalão unitário (montagem inversora).

a-OP-1



b-OP-2.



c-OP-3.

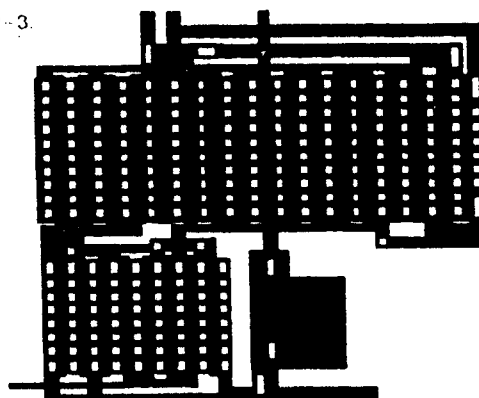


Fig 8 - Implantação em Circuito Integrado. a-OP-1. b-OP-2. c-OP-3.

### 3. COMPARADOR DE TENSÃO.

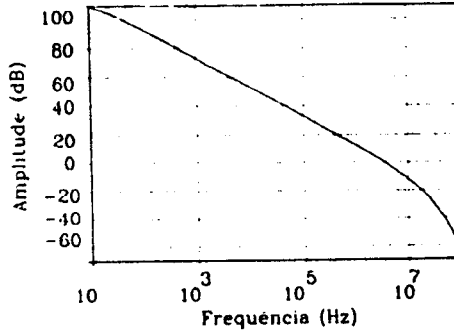
O comparador de tensão é um dos componentes de circuito mais utilizado em aplicações não lineares com condensadores comutados. Pode ser considerado um AO especializado que permite a comparação de um sinal de entrada  $V_1(t)$  com uma tensão de referência  $V_R$  (estrutura na Fig.9-a) e cuja característica típica de transferência se apresenta na Fig.9-b. Deve permitir mudanças rápidas de tensão na saída com pequenas variações da tensão de entrada em torno da tensão de referência. Desta modo, a sua tensão de desvio ("offset") na entrada deve ser muito reduzida uma vez que contribui com um erro no ponto de comparação de  $V_1(t)$  e  $V_R$ .

Na Fig.10 é apresentado o circuito de um comparador de tensão utilizado num circuito conversor A/D e D/A de alta resolução [9]. Durante o ciclo de conversão A/D, o comparador deve distinguir  $90\mu V$  ( $(1/2)$ LSB - "Least Significant Bit") em menos de  $1\mu s$  para que o ritmo de conversão seja elevado. No ciclo de calibração não é muito crítico o tempo de conversão, mas o comparador deve poder distinguir cerca de  $23\mu V$  ( $(1/8)$ LSB). As características necessárias à conversão D/A são menos exigentes, com  $2\mu s$  de tempo de estabelecimento e  $180\mu V$  de erro no valor final da tensão, devendo a gama de tensão de saída ser de  $6V$  ( $-3V$  a  $3V$ ). Para cumprir estas especificações, o circuito apresentado possui um andar diferencial configurado como andar "Cascode" (com carga activa "Cascode") para permitir a obtenção de ganho e largura de banda elevados. O ganho adicional necessário é conseguido através do andar inversor na saída constituído pelos transistores  $M_9$  e  $M_{12}$  sendo o acoplamento entre estes dois andares realizado através do circuito de ajuste de nível de tensão composto por  $M_{15}$  e  $M_{16}$  ("Level Shifter"). A compensação da resposta em frequência é conseguida através da malha RC realizada com o condensador  $C_C$  e o transistor  $M_C$  (que realiza a resistência  $R_C$ ) e efectua o desvio do primeiro pólo para uma frequência ainda mais baixa ("pole splitting") acompanhado do cancelamento do segundo pólo de modo a tornar o comparador uma estrutura de pólo dominante. Esta malha de compensação não se encontra activa durante a operação de comparação (transistor  $M_C$  desligado-Fase 1) para ser mais rápida a resposta do comparador. O interruptor composto por  $M_n$  e  $M_p$  coloca o comparador num estado de auto-polarização, sendo fechado por um período de  $250ns$  imediatamente antes da operação de comparação (Fase x), permitindo retirar o comparador da região de saturação e reduzir o tempo de resposta. As características principais deste comparador de tensão obtidas por simulação [14] encontram-se na Tabela 2 estando representadas na Fig.11 as curvas de resposta em frequência. A implantação em circuito integrado CMOS deste comparador de tensão utilizando uma tecnologia de  $3\mu m$  encontra-se representada na Fig.12

Características Comparador de Tensão	
Tensão de Alimentação	$\pm 5V$
Resolução	$20\mu V$
Tempo de Estabelecimento ( $\mu s$ )	
Compens. ON	1.8
Compens. OFF	0.8
Auto-Zero	18
Cons. de Potência(mW)	18
Área CI ( $\mu m^2$ )	778x226

Fig. 2 - Características do Comparador de Tensão.

a- Amplitude:



b- Fase:

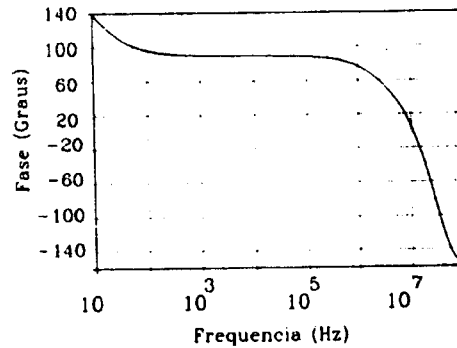


Fig. 11 - Resposta em frequência do Comparador de Tensão.

a- Amplitude. b- Fase.

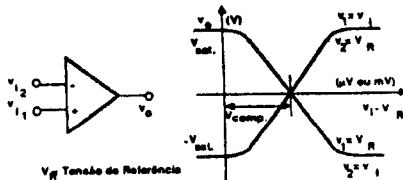


Fig. 9 - Comparador de Tensão.  
a- Bloco Funcional.  
b- Característica de Transferência.

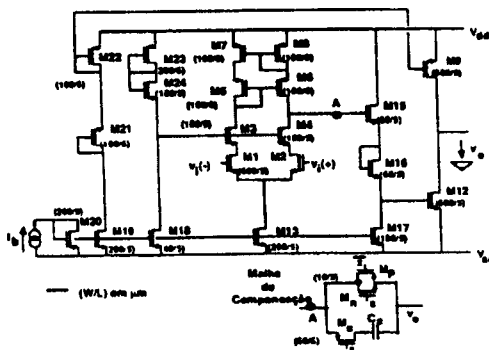


Fig.10 - Comparador de Tensão Integrado. Esquema de circuito (Poço do tipo p -  $3\mu m$ ).

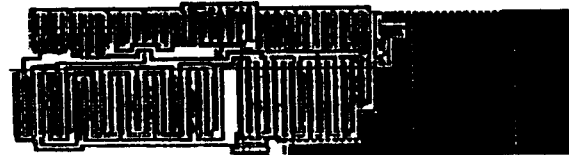


Fig.12 - Implantação em Circuito Integrado do Comparador de Tensão.

### 4. RAMOS DE CIRCUITO COM CONDENSADORES COMUTADOS.

Os ramos passivos básicos dos circuitos com condensadores comutados são constituídos por portas de transmissão analógicas, que são transistores actuando como interruptores, e condensadores. Embora do ponto de vista de análise do circuito possam ser considerados elementos ideais, apresentam certos desvios da idealidade caracterizados por uma resistência de condução ( $R_{ON}$ ) finita e um tempo de comutação não instantâneo que se revelam ser de grande importância em aplicações de alta e muito alta frequência.

**Portas de Transmissão Analógicas:** Uma porta de transmissão analógica pode ser realizada por um único transistor funcionando como interruptor, como na Fig.13-a. No entanto de modo a permitir uma elevada velocidade de operação aliada a um baixo valor de  $R_{ON}$

deve ser adoptada uma estrutura de circuito como a que se apresenta na Fig.13-b. As dimensões dos transistores devem ser adaptadas aos circuitos em que estas portas analógicas estão inseridas, sendo possível utilizar transistores com dimensões mínimas quando os condensadores presentes têm baixo valor de capacidade. Se, no entanto, o circuito possuir condensadores de capacidade elevada sendo precisos tempos de resposta muito reduzidos que implicam correntes elevadas, torna-se necessário aumentar as dimensões dos transistores mantendo o valor de  $R_{ON}$  o mais baixo possível. Este valor de  $R_{ON}$  (variável com a tensão) foi avaliado para as duas portas analógicas da Fig.13-b a partir da simulação do circuito da Fig.13-c [14], sendo os resultados apresentados na Fig.14.

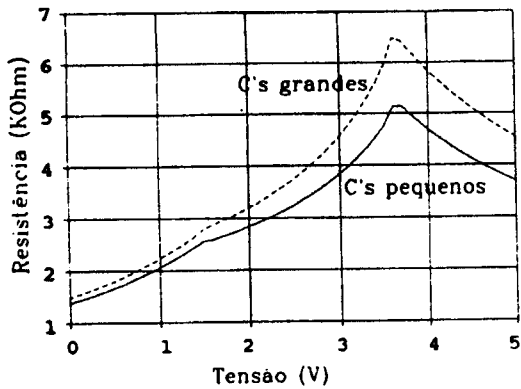
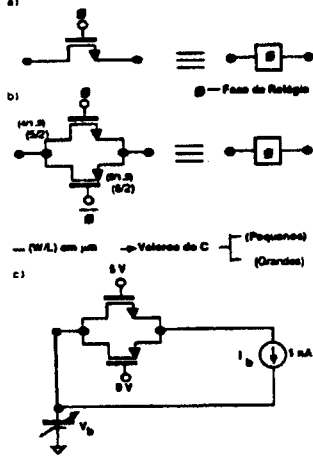


Fig.14 - Simulação das Portas Analógicas da Fig.13-b.

**Ramos Insensíveis As Capacidades Parasitas:** As portas de transmissão analógicas podem ser agrupadas e ligadas a condensadores de modo a constituírem ramos insensíveis às capacidades parasitas [16]. Estes ramos podem realizar diferentes estruturas como as que se apresentam na Fig.15-a,b,c,d. Na Fig.16-a,b encontra-se representada a implantação em circuito integrado CMOS (tecnologia de 1.5µm) de agregados deste tipo de ramos. A Fig.16-a apresenta ramos do tipo PCTSC (Fig.15-c) realizados com as portas analógicas de dimensões mínimas já referidas (Fig.13-b) e que constituem a secção de entrada de um decimador de alta frequência com condensadores comutados [8]. Na Fig.16-b, os ramos do tipo TSI e OFR (Fig.15-a,b, respectivamente) fazem parte duma estrutura de dois integradores num laço fechado que realizam a parte recursiva do mesmo decimador e apresentam portas analógicas de maiores dimensões (Fig.13-b) devido a se encontrarem ligados a capacidades elevadas.

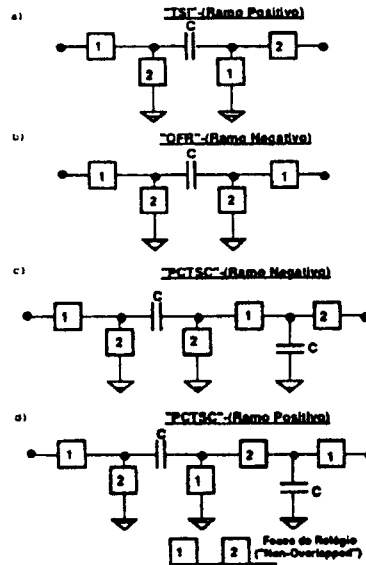
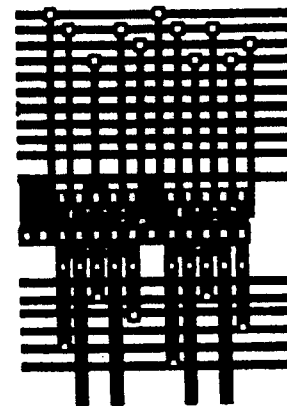


Fig.15 - Ramos com Condensadores Comutados.  
a- TSI. b- OFR. c- PCTSC (Neg.) d- PCTSC (Pos.)

a- TSI e OFR



b- Agregado PCTSC (Neg.).

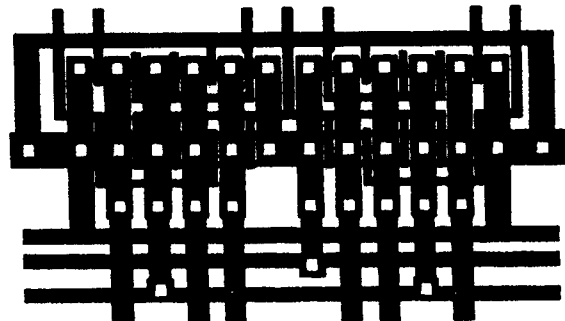


Fig.16 - Implantação em Circuito Integrado de Ramos com Condensadores Comutados.

a- TSI e OFR. b- Agregado de Ramos PCTSC (Neg.).

## 5. CONDENSADORES E AGREGADOS DE CONDENSADORES.

Os condensadores em tecnologia CHOS de dupla camada de polisilício ("double-poly") são realizados pela sobreposição de duas camadas de polisilício, separadas por um dieléctrico de óxido grosso. A área da placa superior do condensador ("top plate") determina o valor da capacidade. Em aplicações em que a precisão do valor das capacidades seja factor importante (0.1% ou 0.2%) torna-se necessário realizar as capacidades com um anel de guarda ("guard ring") circundando a camada superior de polisilício, o que permite minimizar imprecisões na definição da área. Pela mesma razão, os valores de capacidades elevados são obtidos a partir do agrupamento de capacidades de valor unitário com as características anteriores, como exemplificado na Fig.17-a para um condensador de 2pF (supondo uma capacidade unitária de 0.2pF). Na Fig.17-b apresenta-se um agregado de condensadores constituído pela associação de capacidades unitárias numa configuração com simetria radial ("common centroid") que minimiza os efeitos do gradiente da espessura do óxido grosso e a corrosão irregular. A implantação em circuito integrado deste agregado de condensadores encontra-se representada na Fig.18, para uma capacidade de 64pF que ocupa uma área de 500x500  $\mu\text{m}^2$ .

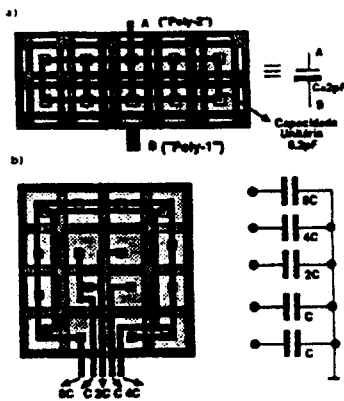


Fig.17 - Condensadores.  
a- Condensador de 2pF (Exemplo).  
b- Agregado de Condensadores.

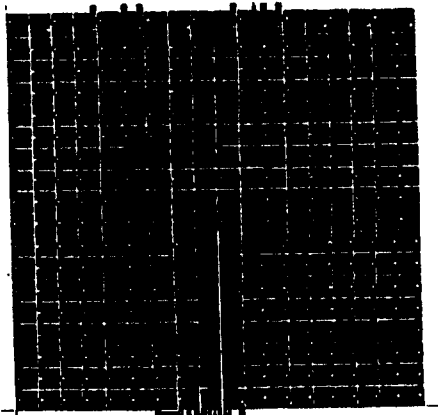


Fig.18 - Implantação de um Agregado de Condensadores em Circuito Integrado.

## 6. CONCLUSÕES.

Neste artigo apresentam-se diversos componentes básicos utilizados em circuitos integrados CHOS com condensadores comutados. São descritos os projectos de vários amplificadores operacionais de elevado desempenho, de um comparador de tensão, de portas de transmissão analógicas, condensadores e agregados de condensadores. A implantação destes componentes em circuito integrado é apresentada utilizando tecnologias analógicas CHOS de  $3\mu\text{m}$  e  $1.5\mu\text{m}$ . Estes componentes são utilizados num grande número de aplicações de circuitos com condensadores comutados, tais como filtros, decimadores e conversores A/D e D/A.

## Referências

- [1] C. MEAD, L. CONWAY, "Introduction to VLSI Systems", Addison-Wesley, 1980.
- [2] N. WESTE, K. ESHRAGHIAN, "Principles of CMOS VLSI Design - A Systems Perspective", Addison-Wesley, 1985.
- [3] R. GREGORIAN, G. TEMES, "Analog MOS Integrated Circuits for Signal Processing", Wiley-Interscience, 1986.
- [4] K. NAKAYAMA, Y. KURAIISHI, "Present and Future Applications of Switched-Capacitor Circuits", *IEEE Circuits and Devices Magazine*, pp.10-21, Setembro 1987.
- [5] P. FLEISCHER, K. LAKER, "A Family of Active Switched-Capacitor Biquad Building Blocks", *Bell Systems Technical Journal*, vol.58, No.12, pp.2235-2268, 1979.
- [6] G. MOSCHYTZ, "MOS Switched-Capacitor Filters: Analysis and Design", *IEEE Press Selected Reprint Series*, 1984.
- [7] J. FRANCA, "Non-Recursive Polyphase Switched-Capacitor Decimators and Interpolators", *IEEE Transactions on Circuits and Systems*, vol. CAS-32, No.9, pp.877-887, Setembro 1985.
- [8] R. MARTINS, J. FRANCA, F. MALOHERTI, "Design and Implementation of a CMOS Integrated Circuit SC Decimator for High Frequency Applications", 3º Simposio de Electrónica das Telecomunicações, Porto, Portugal, Maio 1988.
- [9] C. LEME, J. FRANCA, F. MALOHERTI, "An Integrated System with Multiplexed Analogue/Digital and Digital/Analogue Conversion Functions", 3º Simposio de Electrónica das Telecomunicações, Porto, Portugal, Maio 1988.
- [10] J. VITAL, J. FRANCA, F. MALOHERTI, "An Integrated Algorithmic Digital-to-Analogue Converter with FIR Filtering", 3º Simposio de Electrónica das Telecomunicações, Porto, Portugal, Maio 1988.
- [11] K. NAKAYAMA et al., "A Single-Chip Line Equalizer System for Full Duplex Multi-bit Rate Digital Transmission", *Proc. ICASSP'86*, pp.1521-1524, 1986.
- [12] F. KRUMHACHNER, "A High-Resolution Capacitance-to-Frequency Converter", *IEEE J. Solid State Circuits*, vol. SC-20, pp.666-670, Junho 1985.
- [13] P. GRAY, "Basic MOS Operational Amplifier Design-An Overview", *Analog MOS Integrated Circuits*, *IEEE Press Selected Reprints Series*, Wiley, New-York, pp.28-49, Março 1980.
- [14] L. NAGEL, "SPICE2: A computer program to simulate semiconductor circuits", ERL Memo. No. VCB/ERL M75/520, Maio 1975.
- [15] K. MEHLER, G. BILLINGSLEY, "KIC: A Graphics Editor for Integrated Circuits", University of California at Berkeley, 1980.
- [16] P. FLEISCHER, A. GANESAN, K. LAKER, "Parasitic-Compensated Switched-Capacitor Circuits", *Electronics Letters*, vol.17, No.24, pp.929-931, 26th. Novembro 1981.