

## UM CIRCUITO INTEGRADO CONTROLADOR DE TELEFONE INTELIGENTE

L. Vidigal, J. Marques, A. Leal, A. Cunha, P. Bandeira, J. Delgado,  
M. Gomes, J. Jesus, R. Laia, R. Martins, J. Mata, A. Mateus,  
R. Rocha, H. Sarmiento, A. Serra, P. Verissimo, D. Vidal

INESC/IST

### SUMARIO

Neste texto descreve-se a implementação de um controlador de telefone inteligente num circuito integrado de larga escala.

#### 1. INTRODUÇÃO

A actividade desenvolvida no INESC na area da microelectrónica, aproveitando o conjunto de recursos humanos e materiais reunidos, bem como a cooperação com instituições estrangeiras trabalhando no mesmo domínio, levou à realização de dois circuitos de teste, em 1982/83. Procurou-se então testar a capacidade de projecto de pequenos módulos e avaliar os meios que era necessário desenvolver. A realização do curso de mestrado em Telecomunicações e Computadores do IST permitiu juntar, para a cadeira de VLSI, uma equipa motivada que, embora maioritariamente não experimentada em projecto de ICs, levaria a cabo o projecto de um circuito de grande escala de integração.

Como circuito a implementar foi escolhido um controlador de telefone inteligente. A ligação da actividade de pesquisa às necessidades do desenvolvimento industrial foi uma das considerações fundamentais na escolha; nesse contexto, as especificações do circuito foram elaboradas com base nas de circuitos existentes comercialmente e consultas com uma das empresas nacionais do ramo.

Devido às limitações dos processos de fabrico acessíveis através da comunidade universitária, foi escolhida uma tecnologia NMOS, em vez da CMOS que seria a ideal para a aplicação em vista. Pretendia-se essencialmente poder testar as ferramentas existentes no INESC e demonstrar as potencialidades funcionais do circuito, para um futuro projecto de indole industrial.

As ferramentas de "software" utilizadas foram, na maioria, desenvolvidas no INESC, e incluem simuladores lógicos e de circuito, verificador de regras de implantação e extractor de circuito, geradores de traçados de verificação, redutor de funções lógicas e gerador de PLAs. Uma pequena biblioteca de células básicas serviu de apoio para evitar a "reinvenção da roda" nos circuitos mais comuns.

#### 1. ESPECIFICAÇÕES

A especificação do circuito integrado incluía: memória de dez números, de vinte e seis dígitos, memorização e repetição de marcação, geração de impulsos de marcação, interface directa para teclado, informação e interface para um mostrador de cristal liquido (LCD).

As funções de marcação são obtidas através de um teclado de doze teclas (dez dígitos, cardinal e asterisco). Uma sequência de dígitos provocará a marcação normal; acrescentando <asterisco, dígito> o número é guardado na memória respectiva; uma sequência <cardinal, dígito> provoca a inserção do número guardado na memória respectiva na sequência de marcação em curso. A repetição da última marcação é feita pela sequência <cardinal, cardinal>. A sequência <asterisco, cardinal> corresponde à introdução de uma pausa no número marcado.

Durante a marcação, os dígitos actuados são mostrados no visor de cristal liquido. Durante a conversação são mostrados os impulsos de contagem acumulados.

Finalmente, a formatação dos impulsos marcados na linha é programável por entradas externas. Estas são: M/S, que permite a escolha da relação impulso/espaco ("mark/space") entre 1/3-2/3 ou 2/5-3/5; DRS, que escolhe entre uma taxa de marcação de 20 impulsos por segundo (pps) ou 10 pps; e IDP, que selecciona o tempo de pausa interdígito entre 400ms e 800ms.

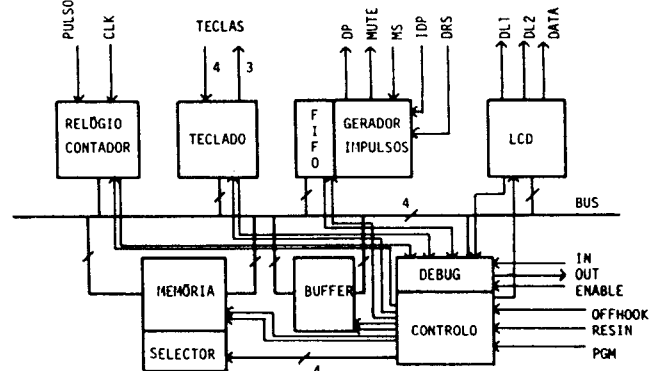


Figura 1 : diagrama de blocos do circuito

## 2. INTERFACE DE TECLADO

A interface prevê um teclado telefônico normal de 12 teclas; as principais funções são a detecção das teclas premidas e a transcodificação entre o código de posição que cada tecla ocupa no teclado e o seu valor. O controle desta interface é feito localmente e todas as funções são totalmente digitais, incluindo a eliminação de impulsos repetidos devido à mecânica dos contactos das teclas ("debouncing").

Brevemente, o funcionamento deste subcircuito é o seguinte: os contadores CONT1 e CONT2 formam um contador de 4 bits; os dois bits de maior peso (CONT2), descodificados por MPX2 seleccionam qual a coluna a que será imposto um zero; os dois bits de menor peso seleccionam a linha a ser lida através de MPX1; todas as linhas são lidas para cada coluna accionada, sendo o estado de cada tecla dado pela linha KEY.

O "debouncing" dos contactos é feito através dos contadores CONT3 e CONT4. Uma tecla só é reconhecida depois de CONT3 assinalar (através de CARRY3) que passaram três varrimentos completos do teclado sem nenhuma tecla premida. A tecla premida só é aceite depois de CONT4 indicar (através de CARRY4) que esteve premida durante três varrimentos. Este período mínimo elimina os impulsos múltiplos devidos a ressalto dos contactos. A verificação é feita por comparação do valor armazenado em BUFFER com o da tecla actual. Só depois de uma tecla ser aceite é activado o sinal READY, indicando ao controle central do circuito que uma nova tecla foi premida.

O transcodificador é um circuito combinatorio que traduz o código obtido no varrimento do teclado em códigos de quatro bits, em que os dígitos são representados directamente em binário (excepto o zero, representado como dez) correspondendo directamente ao número de impulsos a marcar na linha.

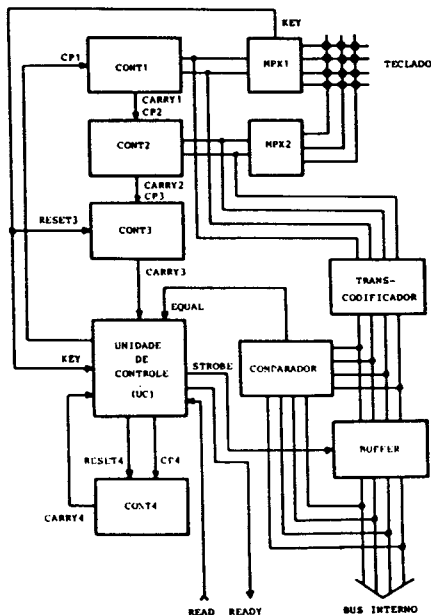


Figura 2 : diagrama da interface de teclado

A maioria destes blocos são implementados por dois tipos básicos de circuitos: registos estáticos (permitindo retenção de dados com segurança a baixas velocidades de relógio) e PLAs, realizando lógica combinatoria; em conjunto, implementam as máquinas de estados dos contadores e unidade de controle da interface.

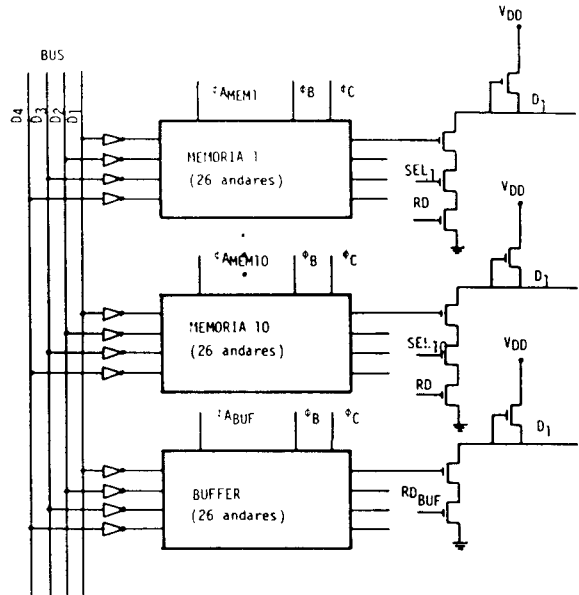


Figura 3 : memórias e "buffer" de marcação

## 3. MEMÓRIA E FIFO

Existem no circuito três blocos funcionais envolvendo funções lógicas de memorização de dígitos. Todos eles usam a mesma célula básica de armazenamento, diferindo entre si nos circuitos adicionais de que dispõe e na função desempenhada.

O maior destes blocos é o conjunto de dez memórias de 26 dígitos, que armazenam os números telefónicos marcáveis utilizando a função de "recall" do telefone.

O segundo destes blocos é o "buffer" do último número marcado, que é utilizado na função de repetição de marcação ("redial") do telefone. Este bloco é fisicamente idêntico a uma das memórias do bloco anterior, e na verdade funciona como uma décima primeira memória, invisível, acedida implicitamente. Apenas os sinais de controle da sua leitura e escrita diferem dos que manipulam as outras dez memórias.

O terceiro bloco é uma memória FIFO ("first-in/first-out"). A sua função é a de uma fila de espera, onde os dígitos a marcar pelo gerador de impulsos se acumulam. Pode receber os dígitos quer de uma memória (numerada ou "buffer") quer directamente do teclado; em ambos os casos, a taxa de recepção pode ser superior à taxa de marcação de impulsos na linha. A FIFO faz a sincronização dos dois processos. Utilizando a mesma célula básica de memória, foi adicionada lógica de controle entre os andares correspondentes a cada dígito, de tal modo que um dígito diferente de F (hexadecimal) "cai" através dos Fs que estão inicialmente armazenados e, chegando ao fim

da FIFO, "fecha a porta" atrás de si, não permitindo que o dígito seguinte chegue à sua posição.

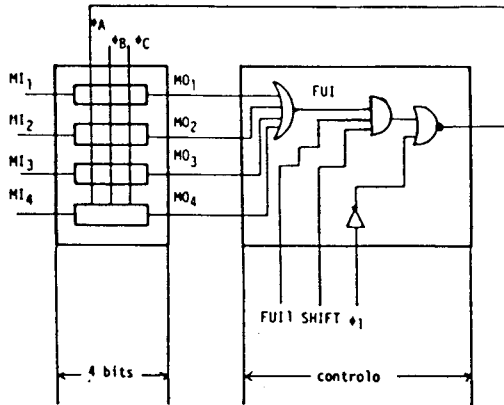


Figura 5 : diagrama da FIFO

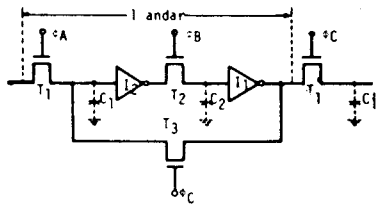


Figura 6 : circuito da célula de memória

A célula básica desenhada para todos estes blocos é um andar de registo de deslocamento, estatizável; utiliza sete transistores (em dois inversores e três portas de passagem). Esta solução foi adoptada em opção com a utilização de pontos de memória estática (seis transistores), pois embora ligeiramente mais cara em área utilizada, não sofria de sensibilidade aos processos de fabrico; além disso, adaptava-se mais naturalmente ao esquema de circulação no circuito (um dígito de cada vez), sendo mais simples o encaminhamento dos dados e o sistema de controle e descodificação.

#### 4. GERADOR DE IMPULSOS

Este bloco faz a interface para a linha telefónica; os dois sinais que produz (MUTE e DP) controlam a audição da linha e o estado do lacete, para marcação por impulsos. Os sinais gerados pelo controle central do IC comandam o ciclo de funcionamento deste bloco; três entradas externas parametrizam o formato dos impulsos de marcação gerados.

Os dígitos a marcar são retirados da FIFO, ao ritmo de marcação seleccionado. A contagem do número de impulsos a marcar é feita por um registo de deslocamento de onze bits (SR10); a colocação de um bit na posição correcta é conseguida através da descodificação do dígito a marcar pela PLA UMDEDEZ.

As duas relações possíveis de impulso-espaco são conseguidas com um registo de deslocamento de quinze bits (SR15); este registo é percorrido durante um tempo de marcação de impulso, e produz um "duty-cycle", de 5/15 ou 6/15 conforme a relação "mark-space" seleccionada com M/S.

A taxa de marcação é obtida controlando os relógios aplicados aos registos de deslocamento. Estes são gerados pela PLA DIV2; as seleções feitas em IDP e DRS actuam aqui para produzir a taxa pretendida.

O comando local deste módulo é feito por uma máquina de estados, implementada com uma PLA.

#### 5. INTERFACE PARA LCD

A função do módulo de interface de LCD é gerar, a partir dos dados recebidos através do "bus" geral, os sinais de dados e controle do mostrador de LCD. O mostrador utilizado (VIDELEC 7020.160) tem circuitos próprios para o controle do cristal líquido, e permite a afixação de 16 caracteres de sete segmentos, comandados através de quatro linhas; os dados são enviados em série.

As funções necessárias a este módulo podem ser divididas em dois grupos gerais: descodificação e armazenamento de sinais, por um lado, máquina de controle por outro.

Para executar o primeiro grupo de funções, existe um registo de deslocamento circular com 16 dígitos (quatro bits cada) onde são mantidos os números a afixar no mostrador. A entrada de dados para este registo é comandada pelos sinais gerados num descodificador de sinais de controle, implementado por PLA1. Um conversor de BCD para sete segmentos, implementado por PLA2, transforma os dígitos em sinais de comando do LCD.

A máquina que implementa o fluxograma de controle deste módulo esta dividida em três partes: um contador de 4, que serializa a conversão BCD-sete segmentos, um contador de 8, que faz a alternância entre grupos de oito dígitos, e uma máquina de Moore, que controla os dois contadores e gera os restantes sinais necessários. Todas estas funções são obtidas por PLAs, respectivamente PLA3, PLA4 e PLA5.

#### 6. UNIDADE DE CONTROLE

A concepção do controle central do circuito procurou três objectivos principais: estrutura modular, interface transparente com os módulos e facilidade de utilização. Para os dois primeiros, foi vital o transporte de alguma inteligência para os diversos blocos, não complicando o controle geral da máquina com parametros só relevantes localmente. Para o terceiro, o fluxo de controle foi derivado da especificação funcional do circuito.

A opção de implementação da arquitectura recaiu na máquina de estados, a partir de PLA, sendo posta de parte a hipótese de controle microprogramado, pois a versatilidade deste era desnecessária e acarretaria uma complexidade inútil. Para a máquina de estados, utilizou-se o modelo de autómato de Moore (saídas de controle só dependentes do estado); embora sejam assim eventualmente necessários mais estados na máquina, é mais fácil fazer a partição em máquinas menores.

Com efeito, dado o aumento geométrico da área numa PLA com o número de entradas e saídas, o fluxograma de controle não foi implementado numa só PLA. Para a partição

optou-se por: 1) transportar parte da sequência de controle para uma segunda PLA; 2) reduzir a PLA principal à custa de descodificação separada do estado; 3) utilizar alguns sinais (p. ex. OFFHOOK) para controlar entradas e saídas, fora da lógica implantada na PLA.

A primeira opção resultou no transporte do comando do módulo de contagem de impulsos para PLA2, sendo esta uma máquina "escravo", trabalhando em paralelo com a "mestre" (PLA1); alguma lógica adicional é utilizada para harmonizar as operações de ambas. A segunda opção criou a PLAD, puramente combinatória, que gera os sinais de controle apropriados a cada estado da máquina implementada com PLA1. Esta repartição da máquina de controle por três PLAs em vez de uma única reduziu a área total a metade, embora à custa de um trabalho adicional de interconexão.

Fazem também parte do bloco de controle alguma lógica aleatória, nomeadamente búsculas de memorização de condições e registos para o "bus", e um contador de 26 posições, auxiliar das leituras e escritas na memória; este contador (TIMER), foi implementado com uma máquina de estados por PLA, em vez da aproximação tradicional por registo de deslocamento ou búsculas, de mais difícil implantação.

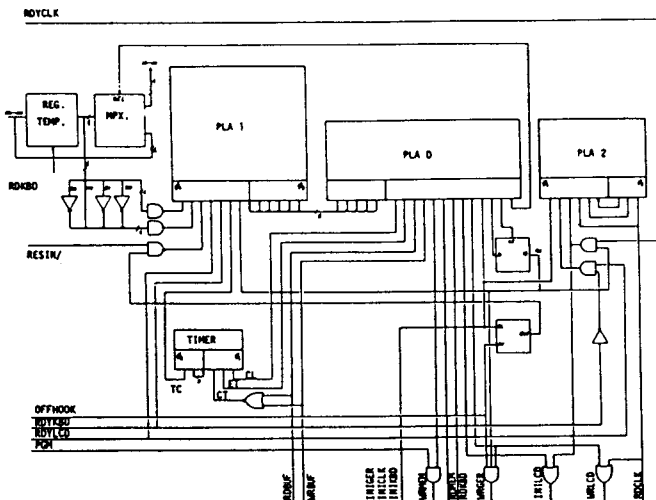


Figura 6 : diagrama da unidade de controle

## 7. MÓDULO DE TESTE

A grande escala de integração aumenta a dificuldade de teste e diagnóstico de um circuito, visto o número de nós acessíveis externamente ser muito reduzido em relação ao total existente. Neste projecto optou-se pela inserção de um módulo do tipo "scan path": as linhas a analisar são interrompidas por um registo de deslocamento, que pode fazer o transporte dos valores presentes para o exterior do circuito, em série. É também possível fazer entrar do exterior valores para impor nas linhas, ou tornar o módulo de teste passivo, restabelecendo as ligações originais.

Dada a relativa lentidão do relógio geral do circuito, é possível, usando um relógio mais rápido para o registo de deslocamento, ler e escrever todas as linhas durante um ciclo; o módulo de teste é

comandado a partir de um microcomputador externo, que recolhe e injecta os sinais em tempo real.

O registo de deslocamento foi implementado a partir duma célula desenhada especialmente para se adaptar ao passo das linhas de entrada da PLA de controle, e intercepta 16 linhas. Um bloco de lógica aleatória faz a descodificação e interface com o controle externo.

## 8. CONTADORES

Neste bloco estão concentradas as funções de temporização não especificamente locais: a geração do relógio global do circuito a partir de um oscilador de cristal (3.58 MHz), e contagem de impulsos de marcação (durante a utilização da rede telefónica).

A contagem de impulsos é feita a partir de um sinal exterior, já com níveis digitais. Este sinal activa uma cadeia de 4 contadores de módulo 10, possibilitando a contagem de um máximo de 9999 impulsos por chamada. Cada um destes contadores consiste numa máquina de estados, implementada com uma PLA.

A geração de relógios internos é feita a partir de um oscilador de cristal; os circuitos estão incorporados no integrado, sendo o cristal colocado externamente, como é normal. Existem três andares sucessivos de divisão de frequência; para cada andar existe um gerador de relógio de duas fases, a partir de um relógio simples, e uma cadeia de divisores por 2. O primeiro andar faz a divisão de 3.58 MHz para uma frequência intermédia de 179 kHz. O segundo andar gera as fases de 9.94 kHz que sincronizam todo o circuito. O terceiro andar gera uma frequência de 292 Hz, que é passada ao gerador de impulsos, para cadenciar a marcação na linha.

## 9. CONCLUSÕES

Da descrição dos diversos blocos pode-se ver a influência que teve a existência de um gerador automático de PLAs; esta ferramenta permitiu a geração rápida e eficaz de blocos de lógica e máquinas de estados, e tornou praticável a correcção de erros sem alterações drásticas do desenho. Por outro lado, foram encontradas dificuldades na fase de interligação de blocos; na ausência de uma ferramenta de "routing" automático, o desenho de ligações revelou-se uma tarefa monótona, trabalhosa e geradora de erros.

O desenho final satisfaz todas as especificações iniciais, exceptuando a redução, por motivos de área, de dez para nove memórias; e ocupa um quadrado de 5.08 x 5.08 mm<sup>2</sup>, em tecnologia NMOS de 5 micron. Foi descrito originalmente na linguagem denominada "Caltech Intermediate Form" (CIF); um tradutor automático gerou uma descrição equivalente na linguagem LUCIE, usada num projecto de cooperação europeu em que participamos.

O circuito tem cerca de catorze mil transistores reais, dos quais quase nove mil correspondem ao bloco de memória e FIFO.